

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036369

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

H01L 29/786  
H01L 21/336

(21)Application number : 07-206587

(71)Applicant : SONY CORP

(22)Date of filing : 19.07.1995

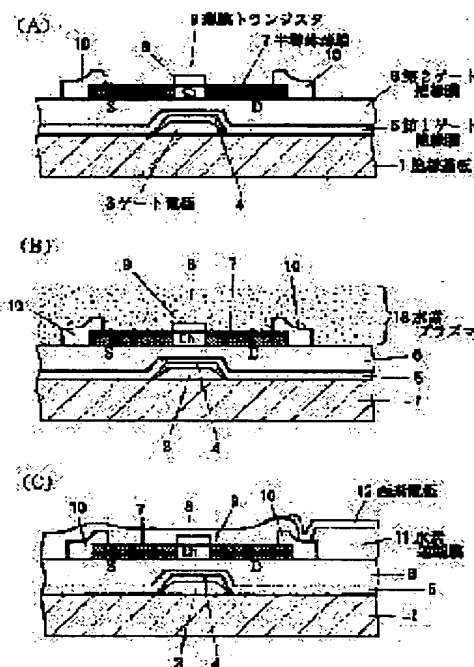
(72)Inventor : SUZUKI NOBUAKI  
FUJINO MASAHIRO

## (54) MANUFACTURE OF THIN-FILM SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the efficiency of hydrogenation treatment for a bottom-gate-type thin-film transistor.

**SOLUTION:** A gate electrode 3 is subjected to patterning formation on an insulation substrate 1 and further the gate electrode 3 is covered with a first gate insulation film 5 and a second gate insulation film 6. A semiconductor thin film 7 with polycrystallizability is subjected to patterning formation on the second gate insulation film 6 and further an impurity is selectively injected into the semiconductor thin film 7 for machining to a bottom-gate-type thin-film transistor 9. By diffusion hydrogen to the semiconductor thin film 7, the characteristics of the thin-film transistor 9 are improved. Therefore, while a hydrogen-breaking film 11 with a dense composition for rejecting the outer transmission of hydrogen is formed on the semiconductor thin film 7, the insulation substrate 1 is subjected to heat treatment and a liberated hydrogen is diffused to the inner part of the semiconductor thin film 7 for forming a solid. In this case, the surface of the semiconductor thin film 7 is exposed in a hydrogen plasma 13 which becomes a supply source of the liberated hydrogen before forming the hydrogenbreaking film 11.



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36369

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/786  
21/336

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

6 2 7 E

審査請求 未請求 請求項の数 6 F D (全 6 頁)

(21) 出願番号

特願平7-206587

(22) 出願日

平成7年(1995)7月19日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 鈴木 信明

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 藤野 昌宏

東京都品川区北品川6丁目7番35号 ソニー株式会社内

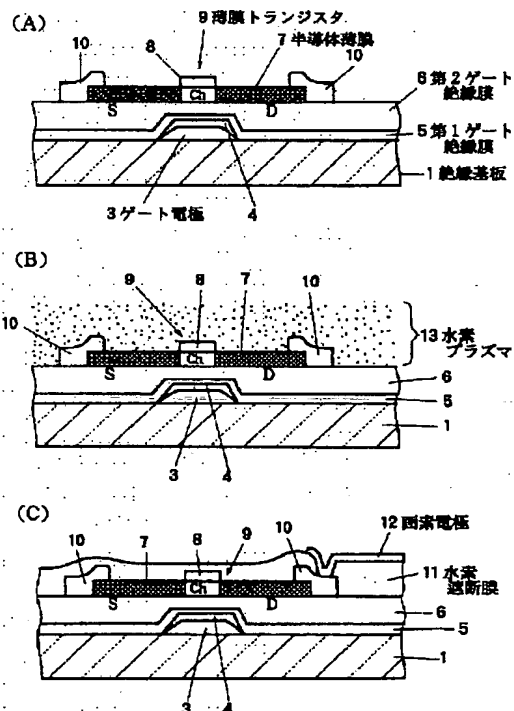
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 薄膜半導体装置の製造方法

(57) 【要約】

【課題】 ボトムゲート型の薄膜トランジスタに対する水素化処理を効率化する。

【解決手段】 絶縁基板1上にゲート電極3をパタニング形成し、さらにゲート電極3を第1ゲート絶縁膜5及び第2ゲート絶縁膜6で被覆する。第2ゲート絶縁膜6の上に多結晶性の半導体薄膜7をパタニング形成し、さらにこの半導体薄膜7に不純物を選択的に注入してボトムゲート型の薄膜トランジスタ9に加工する。半導体薄膜7に水素を拡散して薄膜トランジスタ9の特性を改善する。この為、水素の外方透過を阻止可能な緻密組成の水素遮断膜11を半導体薄膜7の上に成膜した状態で、絶縁基板1を加熱処理し遊離水素を半導体薄膜7に内方拡散して固体化する。この際、水素遮断膜11の成膜に先立って遊離水素の供給源となる水素プラズマ13中に半導体薄膜7の表面を暴露する。



**【特許請求の範囲】**

**【請求項1】** 絶縁基板上にゲート電極をパタニング形成し、さらに該ゲート電極をゲート絶縁膜で被覆するゲート形成工程と、

該ゲート絶縁膜の上に多結晶性の半導体薄膜をパタニング形成し、さらに該半導体薄膜に不純物を選択的に注入してボトムゲート型の薄膜トランジスタに加工するトランジスタ形成工程と、

該半導体薄膜に水素を拡散して該薄膜トランジスタの特性を改善する水素化工程とを行なう薄膜半導体装置の製造方法であって、

前記水素化工程は、水素の外方透過を阻止可能な緻密組成の水素遮断膜を該半導体薄膜の上方に成膜した状態で、該絶縁基板を加熱処理し遊離水素を該半導体薄膜に内方拡散して固定化する事の特徴とする薄膜半導体装置の製造方法。

**【請求項2】** 前記水素化工程は、該水素遮断膜の成膜に先立って遊離水素の供給源となる気相中に該半導体薄膜の表面を暴露する事の特徴とする請求項1記載の薄膜半導体装置の製造方法。

**【請求項3】** 前記遊離水素の供給源となる気相は、水素プラズマ又は水素ガスである事の特徴とする請求項2記載の薄膜半導体装置の製造方法。

**【請求項4】** 前記水素化工程は、該水素遮断膜の成膜に先立って遊離水素の供給源となる固相を該半導体薄膜の表面に形成する事の特徴とする請求項1記載の薄膜半導体装置の製造方法。

**【請求項5】** 前記遊離水素の供給源となる固相は、吸湿性を有するリン含有ガラス又は水素を吸蔵した非晶質シリコンである事の特徴とする請求項4記載の薄膜半導体装置の製造方法。

**【請求項6】** 一方の絶縁基板上にゲート電極をパタニング形成し、さらに該ゲート電極をゲート絶縁膜で被覆するゲート形成工程と、

該ゲート絶縁膜の上に多結晶性の半導体薄膜をパタニング形成し、さらに該半導体薄膜に不純物を選択的に注入してボトムゲート型の薄膜トランジスタに加工するトランジスタ形成工程と、

該半導体薄膜に水素を拡散して該薄膜トランジスタの特性を改善する水素化工程と、

該薄膜トランジスタに接続して画素電極をパタニング形成する画素形成工程と、

予め対向電極が形成された他方の絶縁基板を所定の間隙を介して該一方の絶縁基板に接合し、且つ該間隙に電気光学物質を配する組立工程とを行なうアクティブマトリクス表示装置の製造方法であって、

前記水素化工程は、水素の外方透過を阻止可能な緻密組成の水素遮断膜を該半導体薄膜の上方に成膜した状態で、該一方の絶縁基板を加熱処理し遊離水素を該半導体薄膜に内方拡散して固定化する事の特徴とするアクティ

ブマトリクス表示装置の製造方法。

**【発明の詳細な説明】****【発明の属する技術分野】****【0001】**

**【産業上の利用分野】** 本発明はボトムゲート型の薄膜トランジスタが集積形成された薄膜半導体装置の製造方法に関する。より詳しくは、薄膜トランジスタの活性層となる多結晶性の半導体薄膜の水素化技術に関する。

**【0002】**

**【従来の技術】** 薄膜半導体装置はアクティブマトリクス型表示装置の能動素子基板（駆動基板）等に利用でき、近年盛んに開発が進められている。薄膜半導体装置は絶縁基板上に薄膜トランジスタを集積形成したものである。薄膜トランジスタにはトップゲート型とボトムゲート型がある。前者は絶縁基板の上に半導体薄膜を成膜しその上にゲート絶縁膜を介してゲート電極をパタニングする。これに対し、後者は絶縁基板の上にゲート電極をパタニング形成した後ゲート絶縁膜を介してその上に半導体薄膜を成膜する。ボトムゲート型は半導体薄膜が絶縁基板から離間している為汚染の恐れが少なく信頼性が優れており、有望視されている。半導体薄膜としては従来から非晶質シリコン又は多結晶シリコンが用いられている。多結晶シリコンは非晶質シリコンに比べ移動度が高い為動作特性の優れた薄膜トランジスタが得られる。さらに、多結晶シリコン薄膜トランジスタの特性を向上する為、従来から水素化処理が行なわれている。これは、ボトムゲート型の薄膜トランジスタを作成した後、表面に露出した多結晶シリコンを水素プラズマ又は水素ガス中に暴露して行なう。この水素化処理によって導入された水素原子は多結晶シリコンの結晶粒界に拡散しダングリングボンドと結合する為、トラップ密度は小さくなり障壁ポテンシャルが低くなる。この為多結晶シリコン薄膜トランジスタ内でのキャリア移動度が高くなりオン電流を増加できる。又トラップ準位が減少する事によりリーク電流を抑制できる。さらには、導入された水素原子の一部は多結晶シリコンからなる半導体薄膜とゲート絶縁膜との境界にある界面準位とも結合するので、トランジスタの閾値電圧を低くできる。

**【0003】**

**【発明が解決しようとする課題】** ボトムゲート型の薄膜トランジスタでは活性層となる半導体薄膜が絶縁基板の表面に露出している。そこで、従来薄膜トランジスタを作成した後水素プラズマ雰囲気もしくは水素ガス雰囲気に絶縁基板を投入して特性向上の為の水素化処理を行っていた。しかしながら、水素プラズマを用いた水素化処理では同時に発生する紫外線等の照射を受け半導体薄膜中に新たな欠陥が生じ、十分な特性が得にくいという課題があった。又、単純な水素ガス雰囲気中での処理では水素化が不十分であり、薄膜トランジスタの特性を十分に改善する事ができなかった。

## 【0004】

【課題を解決するための手段】上述した従来の技術の課題を解決する為以下の手段を講じた。即ち、本発明によれば、薄膜半導体装置は以下の工程により製造される。先ず、絶縁基板上にゲート電極をパタニング形成し、さらに該ゲート電極をゲート絶縁膜で被覆するゲート形成工程を行なう。次に、該ゲート絶縁膜の上に多結晶性の半導体薄膜をパタニング形成し、さらに該半導体薄膜に不純物を選択的に注入してボトムゲート型の薄膜トランジスタに加工するトランジスタ形成工程を行なう。最後に、該半導体薄膜に水素を拡散して該薄膜トランジスタの特性を改善する水素化工程を行なう。特徴事項として、前記水素化工程は、水素の外方透過を阻止可能な緻密組成の水素遮断膜を該半導体薄膜の上方に成膜した状態で、該絶縁基板を加熱処理し遊離水素を該半導体薄膜に内方拡散して固定化する。

【0005】具体的には、前記水素化工程は、該水素遮断膜の成膜に先立って遊離水素の供給源となる気相中に該半導体薄膜の表面を暴露する。前記遊離水素の供給源となる気相は、水素プラズマ又は水素ガスである。又好ましくは、前記水素化工程は、該水素遮断膜の成膜に先立って遊離水素の供給源となる固相を該半導体薄膜の表面に形成しても良い。この場合、前記遊離水素の供給源となる固相は、吸湿性を有するリン含有ガラス又は水素を吸蔵した非晶質シリコンを用いる事ができる。

【0006】本発明は薄膜半導体装置の製造方法ばかりでなく、アクティブマトリクス表示装置の製造方法を包含している。即ち、本表示装置は以下の工程により製造される。先ず、一方の絶縁基板上にゲート電極をパタニング形成し、さらに該ゲート電極をゲート絶縁膜で被覆するゲート形成工程を行なう。次に、該ゲート絶縁膜の上に多結晶性の半導体薄膜をパタニング形成し、さらに該半導体薄膜に不純物を選択的に注入してボトムゲート型の薄膜トランジスタに加工するトランジスタ形成工程を行なう。続いて、該半導体薄膜に水素を拡散して該薄膜トランジスタの特性を改善する水素化工程を行なう。さらに、該薄膜トランジスタに接続して画素電極をパタニング形成する画素形成工程を行なう。最後に、予め対向電極が形成された他方の絶縁基板を所定の間隙を介して該一方の絶縁基板に接合し、且つ該間隙に電気光学物質を配する組立工程を行なう。特徴事項として、前記水素化工程は、水素の外方透過を阻止可能な緻密組成の水素遮断膜を該半導体薄膜の上方に成膜した状態で、該一方の絶縁基板を加熱処理し遊離水素を該半導体薄膜に内方拡散して固定化する。

【0007】本発明によれば、多結晶性の半導体薄膜の表面を水素遮断膜で被覆した状態で加熱処理を行ない、遊離水素を半導体薄膜に拡散して固定化する。水素遮断膜は水素の外方透過を阻止可能な緻密組成を有しており、遊離水素は極めて効率良く半導体薄膜に内方拡散さ

れる。この遊離水素は気相もしくは固相の供給源から得られる。例えば、水素プラズマ又は水素ガスを気相の遊離水素供給源とし、これに半導体薄膜の表面を暴露した後水素遮断膜を成膜する。あるいは、吸湿性を有するリン含有ガラス又は水素を吸蔵した非晶質シリコン等の固相を遊離水素供給源として半導体薄膜の上に形成した後、水素遮断膜を成膜している。何れにしても、水素遮断膜で遊離水素を封じ込めた状態で加熱処理を行なう為、極めて効率的な水素化処理が行なえ、ボトムゲート型の薄膜トランジスタの特性が大幅に改善できる。

## 【0008】

【発明の実施の形態】以下図面を参照して本発明の好適な実施形態を詳細に説明する。図1は本発明にかかる薄膜半導体装置製造方法の第1実施形態を示す工程図である。先ず(A)に示す様に、ガラス等からなる絶縁基板1上に金属等からなるゲート電極3をパタニング形成する。本例では、このゲート電極3はタンタル(Ta)を用いている。この金属ゲート電極3の表面を陽極酸化処理する。これにより、ゲート電極3の表面は陽極酸化膜( $TaO_x$ )4で被覆される。さらに、ゲート電極3を $SiN_x$ からなる第1ゲート絶縁膜5で被覆する。この上に $SiO_2$ からなる第2ゲート絶縁膜6を成膜する。続いて、第2ゲート絶縁膜6の上に多結晶性の半導体薄膜7をパタニング形成する。この半導体薄膜7は例えば多結晶シリコンからなる。本例では、プラズマCVD法で非晶質シリコンを成膜した後、エキシマレーザパルス等のレーザ光を照射して非晶質シリコンを一旦加熱し、冷却過程で多結晶シリコンに転換している。この方法は比較的低温プロセスで高性能の多結晶シリコンからなる半導体薄膜7を形成する事ができる。半導体薄膜7の上にゲート電極3と整合する様に保護膜8をパタニング形成する。この保護膜8のパタニングはゲート電極3をマスクとした裏面露光で行なう事ができる。これにより、極めて精度良くゲート電極3に整合する保護膜(チャネルストップ)8を形成できる。この保護膜8をマスクとして半導体薄膜7に不純物を選択的に注入してソース領域S及びドレイン領域Dを形成する。保護膜8の直下には不純物が注入されないチャネル領域Chが残される。不純物の選択的注入は例えばイオンドーピングを用いる事ができる。以上のトランジスタ形成工程により、ボトムゲート型の薄膜トランジスタ9が得られる。この後、ソース領域S及びドレイン領域Dとのコンタクトをとる為配線電極10がパタニング形成される。この配線電極10は例えばモリブデンを用いる事ができる。なお、保護膜8の材料としては $SiO_2$ を用いる事ができる。

【0009】次に(B)及び(C)を参照して水素化工程を説明する。この水素化工程は多結晶性の半導体薄膜7に水素を拡散して薄膜トランジスタ9の特性を改善する事を目的とする。(C)に示す様に、この水素化工程は水素の外方透過を阻止可能な緻密組成の水素遮断膜1

1を半導体薄膜7の上に成膜した状態で、絶縁基板1を加熱処理し、遊離水素を半導体薄膜7に内方拡散して固定化する。本例ではこの水素遮断膜11は200nm程度の厚みを有する $\text{SiN}_x$ からなる。又、加熱処理(熱アニール)の温度は300℃に設定されている。一般に、遊離水素の効率的な拡散及び固定化を行なう為には300℃以上の熱アニールが必要である。水素遮断膜11はそのままパシベーション膜として用いられ、薄膜トランジスタ9を保護する。なお、この様にして製造された薄膜半導体装置をアクティブマトリクス表示パネルの能動素子基板として用いる場合には、水素遮断膜11の上にITO等の透明導電膜からなる画素電極12をパタニング形成する。この画素電極12は水素遮断膜11に開口したコンタクトホール及び配線電極10を介して薄膜トランジスタ9のドレイン領域Dに電気接続する。水素遮断膜11は水素の外方透過を阻止可能な緻密組成を有するものであれば良く本例の $\text{SiN}_x$ に限られるものではない。例えば、 $\text{SiON}$ を用いる事もできる。又、水素遮断膜11は絶縁物ばかりでなく金属を用いる事もできる。

【0010】(B)に示す様に、水素遮断膜11の成膜に先立って遊離水素の供給源となる水素プラズマ13に半導体薄膜7の表面を暴露している。これにより、熱アニールに先立って十分な量の遊離水素を薄膜トランジスタ9の表面層に供給できる。この水素プラズマ13の暴露処理は例えば300℃で15分程度行なう。水素プラズマを発生する為のRF電源の電力は例えば150Wに設定する。なお、遊離水素の供給源となる気相としては、上述した水素プラズマ13に代えて水素ガスを用いる事もできる。

【0011】図2は、本発明にかかる薄膜半導体装置製造方法の第2実施形態を示す工程図である。基本的には、図1に示した第1実施形態と同様であり、対応する部分には対応する参照番号を付してある。先ず、(A)に示す様に、ガラス等からなる絶縁基板1の上にゲート電極3をパタニング形成する。さらにゲート電極3を陽極酸化膜4、第1ゲート絶縁膜5、第2ゲート絶縁膜6で被覆する。第2ゲート絶縁膜6の上に多結晶性の半導体薄膜7をパタニング形成し、さらに保護膜8をマスクとして半導体薄膜7に不純物を選択的にイオンドーピングしボトムゲート型の薄膜トランジスタ9に加工する。

【0012】次に(B)に示す様に吸湿性を有するリン含有ガラス(PSG)14を半導体薄膜7の表面に形成する。このPSG14は固相の遊離水素供給源となる。即ち、図1に示す第1実施形態では気相の遊離水素供給源を用いたのに対し、この第2実施形態では固相の遊離水素供給源を用いた点に特徴がある。この後(C)に示す様に、水素遮断膜11をPSG14の上に成膜した状態で、絶縁基板1を加熱処理し、遊離水素を半導体薄膜7に内方拡散して固定化する。水素遮断膜11は第1実

施形態と同様に200nm程度の厚みを有する $\text{SiN}_x$ からなり、水素の外方透過を阻止可能な緻密組成を備えている。本例では薄膜トランジスタ9の上に堆積されるPSG14を固相の水素供給源として利用するものである。即ち、このPSG14の上に水素遮断膜(キャップ膜)11を成膜した後、PSG14に捕捉された水分を加熱分解して水素を発生させ多結晶性の半導体薄膜7に導入する。PSG(リン含有シリコンガラス)14は吸湿性があり、水分を予め含有させる為に適したものである。

【0013】図3は本発明にかかる薄膜半導体装置製造方法の第3実施形態を示す工程図である。基本的には、図2に示した第2実施形態と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、固相の遊離水素供給源として、PSG14に代え水素を吸蔵した非晶質シリコン( $\text{a-Si:H}$ )15を用いている事である。 $\text{a-Si:H}$ 15はプラズマCVD法により成膜され、その厚みは例えば30nm程度である。 $\text{a-Si:H}$ 15は15%程度の水素を吸蔵しており、極めて好適な遊離水素の供給源となる。なお、この第3実施形態では水素化処理後使用済みとなった $\text{a-Si:H}$ 15は除去する様にしても良い。これに対し、第2実施形態で用いたPSG14は水素化処理後そのまま残して薄膜トランジスタのパシベーション膜に用いても良い。

【0014】図4は図1に示した第1実施形態に従って作成されたボトムゲート型薄膜トランジスタの電気特性を示すグラフである。(A)は水素プラズマ暴露後の特性を表わしている。横軸にゲート電圧 $V_G$ (V)をとり、縦軸にドレイン電流 $I_D$ (A)を対数目盛でとっている。なお、この薄膜トランジスタのチャネルサイズは幅寸法が $10\mu\text{m}$ で長手寸法も $10\mu\text{m}$ である。グラフから明らかな様に、単に水素プラズマに暴露しただけでは十分な閾値特性が得られていない。(B)は水素遮断膜を成膜した直後のトランジスタ特性を表わしている。水素遮断膜として $\text{SiN}_x$ を堆積した場合、その成膜温度は350℃程度であり、成膜時間は1時間程度になる。この加熱で若干の遊離水素が多結晶性の半導体薄膜に導入される為、ゲート電圧/ドレイン電流特性が立ち上がっている。従って、ある程度水素化が進行している事が分かる。しかしながら、依然として不十分なレベルである。(C)は熱アニール後のゲート電圧/ドレイン電流特性を表わしている。熱アニールは例えば300℃~350℃程度の温度で1時間程度行なわれた。この熱アニールは水素の外方透過を略完全に阻止した状態で行なわれる為、遊離水素は半導体薄膜に極めて効率良く内方拡散し固定化される。従って、理想的なゲート電圧/ドレイン電流の立ち上がり特性が得られており、特にゲート電圧が微小なレベルにおける立ち上がり特性(スイング特性)が顕著に改善している。

【0015】最後に図5は、本発明に従って製造された薄膜半導体装置を駆動基板（能動素子基板）として組み立てられたアクティブマトリクス型表示装置の一例を示す模式的な斜視図である。図示する様に、アクティブマトリクス型表示装置は、駆動基板101と対向基板102と両者の間に保持された液晶103等からなる電気光学物質とを備えたパネル構造を有する。駆動基板101には画面部104と周辺部とが集積形成されている。周辺部は垂直駆動回路105と水平駆動回路106とを含んでいる。又、駆動基板101の周辺部上端には外部接続用の端子部107が形成されている。端子部107は配線108を介して垂直駆動回路105及び水平駆動回路106に接続している。画面部104は行列状に交差したゲート配線109及び信号配線110を含んでいる。各交差部には画素電極111とこれをスイッチング駆動するボトムゲート型の薄膜トランジスタ112が形成されている。ゲート配線109は垂直駆動回路105に接続し、信号配線110は水平駆動回路106に接続している。薄膜トランジスタ112のドレイン領域は対応する画素電極111に接続し、ソース領域は対応する信号配線110に接続し、ゲート電極は対応するゲート配線109に接続している。

【0016】

【発明の効果】以上説明した様に、本発明によれば、水素の外方透過を阻止可能な緻密組成の水素遮断膜を半導体薄膜の上方に成膜した状態で、絶縁基板を加熱処理し遊離水素を半導体薄膜に内方拡散して固定化している。これにより、極めて効率的な水素化処理が行なえ、ボト

ムゲート型薄膜トランジスタの特性が大幅に向上するという効果が得られる。

【図面の簡単な説明】

【図1】本発明にかかる薄膜半導体装置製造方法の第1実施形態を示す工程図である。

【図2】本発明にかかる薄膜半導体装置製造方法の第2実施形態を示す工程図である。

【図3】本発明にかかる薄膜半導体装置製造方法の第3実施形態を示す工程図である。

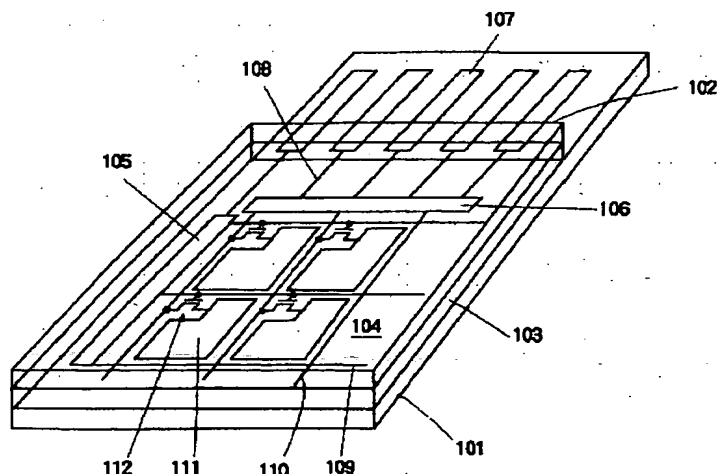
【図4】本発明に従って製造された薄膜半導体装置に含まれるボトムゲート型薄膜トランジスタの電気特性を示すグラフである。

【図5】本発明に従って製造された薄膜半導体装置を駆動基板として用いたアクティブマトリクス型表示装置の一例を示す斜視図である。

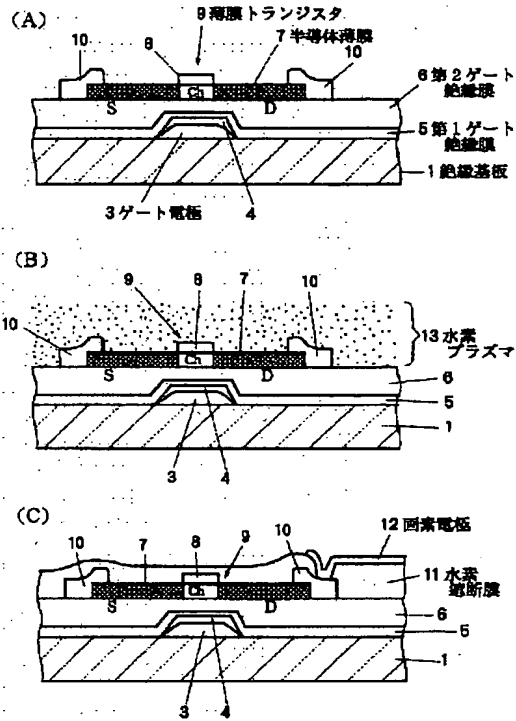
【符号の説明】

- 1 絶縁基板
- 3 ゲート電極
- 5 第1ゲート絶縁膜
- 6 第2ゲート絶縁膜
- 7 半導体薄膜
- 9 薄膜トランジスタ
- 11 水素遮断膜
- 12 画素電極
- 13 水素プラズマ
- 14 PSG
- 15 a-Si:H

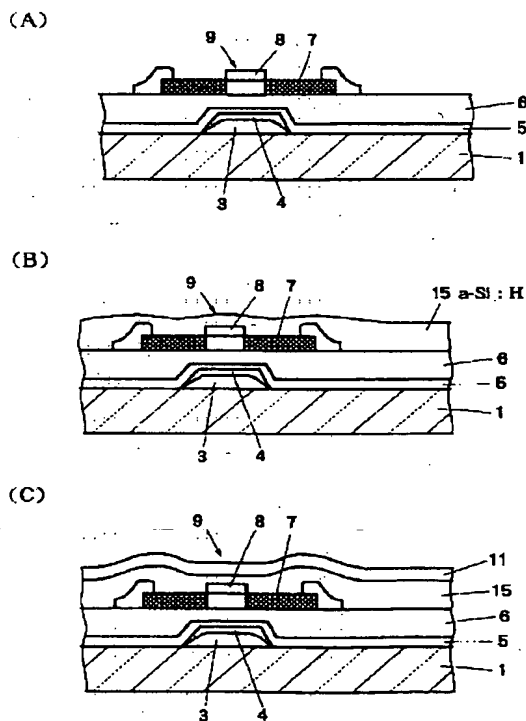
【図5】



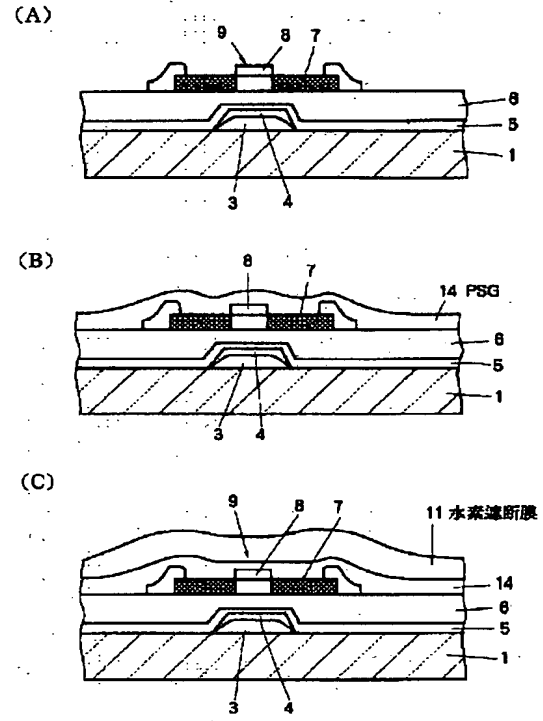
【図1】



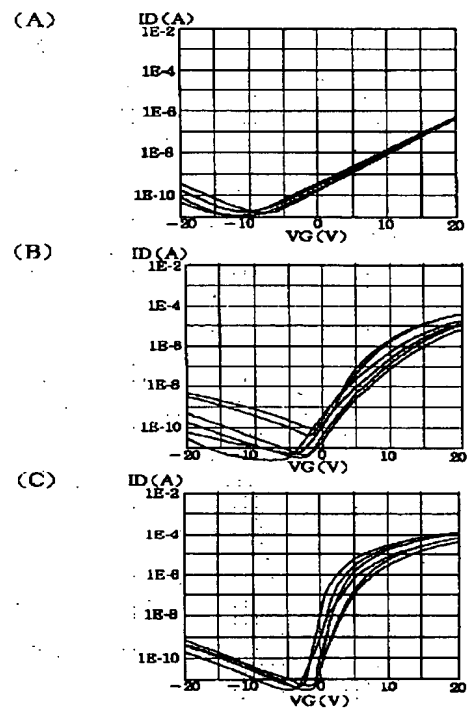
【図3】



【図2】



【図4】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**